

Ohnishi  
40447/211

US

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日

Date of Application:

1999年 3月 1日

出 願 番 号

Application Number:

平成11年特許願第053319号

出 願 人

Applicant(s):

日本電気株式会社

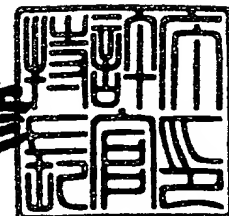
Jc678 U.S. PTO  
09/512384  
02/25/00

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 1月28日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



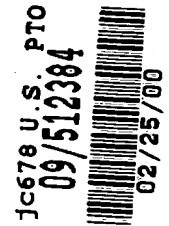
出証番号 出証特2000-3002001

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

# 3<sup>cm</sup>  
6.7.00

Applicant: Osamu OHNISHI

Title: APPARATUS FOR DETECTING  
CORRELATION, SPECTRUM  
DESPREAD APPARATUS AND  
RECEIVER HAVING THE SAME,  
AND METHOD FOR DETECTING  
CORRELATION



Appl. No.: Unassigned

Filing Date: February 25, 2000

Examiner: Unassigned

Art Unit: Unassigned

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-053319 filed 3/01/1999.

Respectfully submitted,

Date February 25, 2000

FOLEY & LARDNER  
Washington Harbour  
3000 K Street, N.W., Suite 500  
Washington, D.C. 20007-5109  
Telephone: (202) 672-5407  
Facsimile: (202) 672-5399

By Phillip J. Articola Reg. No. 38,819  
for / David A. Blumenthal  
Attorney for Applicant  
Registration No. 26,257

【書類名】 特許願

【整理番号】 71110240

【提出日】 平成11年 3月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 13/00

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 大西 修

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100065385

    【弁理士】

    【氏名又は名称】 山下 穰平

    【電話番号】 03-3431-1831

【手数料の表示】

    【予納台帳番号】 010700

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 相関値検出装置、それを有するスペクトラム逆拡散装置、受信端末及び送受信端末並びに相関値検出方法

【特許請求の範囲】

【請求項 1】 1 シンボルが  $L \times M$  周期 ( $L$ 、 $M$  は 2 以上の整数) の拡散符号によりスペクトラム拡散された信号の 1 シンボル期間の範囲を、チップレート  $N$  ( $N$  は 1 又は 2 以上の整数) 倍のオーバーサンプリングレートでサンプリングして得たサンプルと前記拡散符号との間の相関値を示す相関値信号を出力する相関値検出装置において、

前記サンプルを入力して中間相関値信号を出力する  $L$  チップアキュムレータと

前記中間相関値信号の  $L \times N$  個のサンプルを記憶する  $M$  個のメモリと、

各入力端子に前記  $L$  チップアキュムレータが出力する前記中間相関値信号又は前記  $M$  個のメモリの各々から読み出された前記中間相関値信号が供給される  $M$  入力の加算器と、

前記  $L$  チップアキュムレータが出力する前記中間相関値信号を  $L \times N$  サンプルずつ順番に前記  $M$  個のメモリに書き込むと同時に前記加算器の  $M$  個の入力端子に供給し、前記  $M$  個のメモリの各々  $L \times N$  サンプルの前記中間相関値信号を前記  $M$  個のメモリの各々から  $(M - 1)$  回読み出して前記加算器の前記  $M$  個の入力端子の各々に供給する制御手段と、

を備え、前記加算器の出力を装置が出力する相関値信号として出力することを特徴とする相関値検出装置。

【請求項 2】 前記加算器の  $M$  個の入力の各々と該各々の入力に対応するメモリとの間に乗算器を備え、各乗算器の乗算値が  $L \times N$  個のオーバーサンプリングの周期を単位として循環的に変化することを特徴とする請求項 1 に記載の相関値検出装置。

【請求項 3】 前記  $M$  個のメモリは 1 ポートメモリであることを特徴とする請求項 1 又は 2 に記載の相関値検出装置。

【請求項 4】 前記  $L$  チップアキュムレータは整合フィルタであることを特

徴とする請求項 1 乃至 3 のいずれか 1 項に記載の相関値検出装置。

【請求項 5】 前記 L チップアキュムレータはコリレータバンクであること  
を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の相関値検出装置。

【請求項 6】 受信信号を受け、前記受信信号に応答して第 1 のデータ及び  
前記第 1 のデータに続く第 2 のデータを含む第 1 の相関値信号を出力するアキュ  
ムレータと、

前記第 1 の相関値信号中の前記第 1 のデータを記憶する第 1 のメモリと、

前記第 1 の相関値信号中の前記第 2 のデータを記憶する第 2 のメモリと、

加算器と、を備える相関値検出装置であって、

前記加算器には、

前記第 1 のメモリに前記第 1 のデータが書き込まれる第 1 の期間に、前記第 1  
のデータが供給され、

前記第 2 のメモリに前記第 2 のデータが書き込まれる前記第 1 の期間とは異なる  
第 2 の期間に、第 2 のデータが供給されるとともに、前記第 1 のメモリに格納  
された前記第 1 のデータが供給されて、

前記加算器の出力を最終相関値信号として出力することを特徴とする相関値検  
出装置。

【請求項 7】 受信信号に応答して第 1 の相関値信号を出力するアキュムレ  
ータと、

夫々が前記第 1 の相関値信号を所定データ分毎に記憶する複数のメモリと、

前記複数のメモリからの出力若しくは前記アキュムレータからの前記第 1 の相  
関値信号を入力する加算器と、

前記複数のメモリのうちの第 1 のメモリへの前記第 1 の相関値信号の書き込み  
が行われているときに、前記複数のメモリのうちの前記第 1 のメモリ以外のメモ  
リに書き込まれている前記第 1 の相関値信号を前記加算器に供給する制御部と、  
を備えることを特徴とする相関値検出装置。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の相関値検出装置を備  
えることを特徴とするスペクトラム逆拡散装置。

【請求項 9】 請求項 1 乃至 7 のいずれか 1 項に記載の相関値検出装置を備

えることを特徴とする受信端末。

【請求項 10】 請求項 1 乃至 7 のいずれか 1 項に記載の相関値検出装置を備えることを特徴とする送受信端末。

【請求項 11】 1 シンボルが  $L \times M$  周期 ( $L$ 、 $M$  は 2 以上の整数) の拡散符号によりスペクトラム拡散された信号の 1 シンボル期間の範囲を、チップレート  $N$  ( $N$  は 1 又は 2 以上の整数) 倍のオーバーサンプリングレートでサンプリングして得たサンプルと前記拡散符号との間の相関値を示す相関値信号を出力する相関値検出方法において、

前記サンプルを入力して中間相関値信号を出力するための  $L$  チップアキュムレータが出力する前記中間相関値信号を  $L \times N$  サンプルずつ順番に前記中間相関値信号の  $L \times N$  個のサンプルを記憶するための  $M$  個のメモリに書き込むと同時に加算器の  $M$  個の入力端子に供給し、前記  $M$  個のメモリの各々には書き込まれた  $L \times N$  サンプルの前記中間相関値信号を前記  $M$  個のメモリの各々から  $(M-1)$  回読み出して前記加算器の前記  $M$  個の入力端子の各々に供給して前記加算器の出力を相関値信号として出力することを特徴とする相関値検出方法。

【請求項 12】  $L$  チップアキュムレータが出力する前記中間相関値信号を  $L \times N$  サンプルずつ順番に前記中間相関値信号を  $L \times N$  サンプルだけ記憶するための  $M$  個のメモリに書き込むと同時に加算器の  $M$  個の入力端子に供給し又は前記  $M$  個のメモリの各々には書き込まれた  $L \times N$  サンプルの前記中間相関値信号を前記  $M$  個のメモリの各々から  $(M-1)$  回読み出して前記加算器の前記  $M$  個の入力端子の各々に供給するときに、該供給信号を  $L \times N$  個のオーバーサンプリングの周期を単位として循環的に変化する乗算値で乗算することを特徴とする請求項 11 に記載の相関値検出方法。

【請求項 13】 前記  $L$  チップアキュムレータが出力する前記中間相関値信号を  $L \times N$  サンプルずつ順番に前記中間相関値信号を  $L \times N$  サンプルだけ記憶するための  $M$  個のメモリに書き込むと同時に加算器の  $M$  個の入力端子に供給するときに、該供給信号を所定の乗算値で乗算することを特徴とする請求項 11 又は 12 に記載の相関値検出方法。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、入力したスペクトラム拡散された伝送信号と拡散符号との間の相関値を示す相関値信号を出力する相関値検出装置、それを有するスペクトラム逆拡散装置、受信端末及び送受信端末並びに相関値検出方法に関する。

## 【0002】

## 【従来の技術】

CDMA (Code Division Multiple Access)方式は、加入者容量を大幅に拡大し得る可能性があるため、基地局と携帯移動局である送受信端末を含めた移動通信システムにおける多重アクセス方式として注目されている。CDMA方式においては、送信すべき信号は、送信装置（基地局又は送受信端末）でM系列符号やGOLD符号などの拡散信号によってスペクトラム拡散されてから伝送信号となり、受信装置（送受信端末又は基地局）は受信した伝送信号を送信装置で使用するのと同じの拡散信号により逆拡散して復調信号を得る。

## 【0003】

受信装置内のスペクトラム逆拡散装置で拡散信号により伝送信号を逆拡散するためには、伝送信号を拡散している拡散信号と同一のシーケンスで同一の位相の拡散信号を発生しなければならない。伝送信号を拡散している拡散信号の位相は、相関値検出装置の出力のピークタイミングを検出することにより検出される。

## 【0004】

図6に示すARIB (Association of Radio Industries and Businesses)により提案されているW-CDMA (Wideband Code Division Multiple Access)方式の信号フォーマットによると、パーチャネル (Perch Channel) の10ミリ秒の周期長を有する1フレームは、16スロットに分割され、各スロットは10シンボルに分割される。各スロットの第1シンボルにはサーチコード (Search Code) が割り当てられる。サーチコードは、全ての送受信端末に共通なコードであり、256個のチップより構成される。各送受信端末の相関値検出装置は、サーチコードを利用することにより、最速で1スロット時間に、拡散符号の位相を検出できるような相関値信号を出力する。相関値検出装置は、内部で演算した図7に示す

相関値信号を位相検出信号として出力する。また、相関値検出装置は、1チップをオーバーサンプリングして動作する。オーバーサンプリングレートとしては、例えば、チップ周波数の2倍、4倍の周波数が選ばれる。

【0005】

256チップより成るサーチコードとしては、従前より256周期のものが使用されていたが、昨年に、 $L \times M$ 周期のサーチコードがARIBで提案されている。但し、 $L \times M = 256$ である。 $L \times M$ 周期のサーチコードとは、周期がLの拡散符号をM回繰り返したサーチコードである。但し、L、Mは2以上の整数である。また、周期がLの拡散符号を所定の規則に従いMの値に応じて反転したり、反転しなかったりする。全く反転させない規則もある。L、Mの値は、例えば、 $L = 16$ 、 $M = 16$ である。

【0006】

図8にこの $L \times M$ のサーチコードに対応した相関値検出装置として、ARIB, AIF/SWG2-28-18, Cell Search Scheme for 1st and 2nd stage, ST8 において提案されている相関値検出装置の回路図を示す。

【0007】

図8に示す相関値検出装置は、Lチップアキュムレータ901、 $L \times (M - 1) \times N$ 個のDタイプフリップフロップよりなるシフトレジスタ902、M入力の加算器903及びM個の乗算器904を備える。

【0008】

図8に示すLチップアキュムレータ901としては、整合フィルタ又はコリレータバンクを用いることができる。

【0009】

図5は、図8に示すLチップアキュムレータ901を整合フィルタとした場合の構成例を示す回路図である。

【0010】

図5を参照すると、Lチップアキュムレータ901は、 $(L - 1) \times N$ 個のDタイプフリップフロップよりなるシフトレジスタ201、シフトレジスタ201のN個おきのタップから引き出される信号に乗算値 $r_i$  ( $i = 1, 2, \dots$ 、



L) を掛ける L 個の乗算器 2 0 3、L 個の乗算器 2 0 3 の出力を加算する加算器 2 0 2 を備え、トランスバーサルフィルタの構成をとる。

【0 0 1 1】

L チップアキュムレータ 9 0 1 の入力ビット幅は例えば 8 ビットで、この場合加算器 2 0 2 の入力数 L が 1 6 であれば出力ビット幅は 1 2 ビットである。

【0 0 1 2】

次に、図 5、8 を参照して、相関値検出装置の動作について説明する。

【0 0 1 3】

各チップが N 倍にオーバーサンプリングされた伝送信号は、L チップアキュムレータ 9 0 1 に入力され、L チップアキュムレータ 9 0 1 では L 個のサンプルの加減算が行なわれ、L チップアキュムレータ 9 0 1 からは中間相関値信号がオーバーサンプリングの各クロック毎に出力される。

【0 0 1 4】

シフトレジスタ 9 0 2 に入力される中間相関値信号と、シフトレジスタ 9 0 2 の  $L \times N$  の整数倍のタップから出力される遅延された中間相関値信号は M 個の乗算器 9 0 4 に入力される。乗算器 9 0 4 の乗算値  $\beta_m$  ( $m = 1, \dots, M$ ) は、 $L \times M$  周期のサーチコードに応じて定められた値である。加算器 9 0 3 は乗算器 9 0 4 の出力を加算して、それらの和である相関値信号を最終相関値信号として出力する。

【0 0 1 5】

【発明が解決しようとする課題】

しかしながら、図 8 に示す相関値検出装置は以下のような問題点を有している。

【0 0 1 6】

第 1 の問題点は、シフトレジスタ 9 0 2 が  $L \times (M - 1) \times N$  個という多数の D タイプフリップフロックより構成されることである。このことにより、必要とする回路規模が増大する。

【0 0 1 7】

第 2 の問題点は、シフトレジスタ 9 0 2 の  $L \times (M - 1) \times N$  個の D タイプフ

リップフロックの入出力データがオーバサンプリングの毎クロックで変化することである。このことにより、必要とする消費電力が増大する。

【0018】

これらの問題は、特にバッテリー駆動の携帯型の送受信端末に組み込まれた場合に深刻となる。

【0019】

本発明は、精度が高く信頼性の高い相関値信号を出力することができ、且つ、回路規模が小さく消費電力が少ない相関値検出装置を提供することを目的とする。

【0020】

また、本発明は上記の相関値検出装置を備えたスペクトラム逆拡散装置、受信端末及び送受信端末を提供することを目的とする。

【0021】

更に、本発明は、精度が高く信頼性の高い相関値信号を出力することができ、且つ、必要とする回路規模が小さく消費電力が少ない相関値検出方法を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明による相関値検出装置は、1シンボルが $L \times M$ 周期（ $L$ 、 $M$ は2以上の整数）の拡散符号によりスペクトラム拡散された信号の1シンボル期間の範囲を、チップレートの $N$ （ $N$ は1又は2以上の整数）倍のオーバーサンプリングレートでサンプリングして得たサンプルと前記拡散符号との間の相関値を示す相関値信号を出力する相関値検出装置において、前記サンプルを入力して中間相関値信号を出力する $L$ チップアキュムレータと、前記中間相関値信号の $L \times N$ 個のサンプルを記憶する $M$ 個のメモリと、各入力端子に前記 $L$ チップアキュムレータが出力する前記中間相関値信号又は前記 $M$ 個のメモリの各々から読み出された前記中間相関値信号が供給される $M$ 入力の加算器と、前記 $L$ チップアキュムレータが出力する前記中間相関値信号を $L \times N$ サンプルずつ順番に前記 $M$ 個のメモリに書き込むと同時に前記加算器の $M$ 個の入力端子に供給し、前記 $M$ 個のメモリの各々に

書き込まれた  $L \times N$  サンプルの前記中間相関値信号を前記  $M$  個のメモリの各々から  $(M-1)$  回読み出して前記加算器の前記  $M$  個の入力端子の各々に供給する制御手段と、を備え、前記加算器の出力を装置が出力する相関値信号として出力することを特徴とする。

【0023】

また、本発明による相関値検出装置は、上記の相関値検出装置において、前記加算器の  $M$  個の入力の各々と該各々の入力に対応するメモリとの間に乗算器を備え、各乗算器の乗算値が  $L \times N$  個のオーバーサンプリングの周期を単位として循環的に変化することを特徴とする。

【0024】

更に、本発明による相関値検出装置は、上記の相関値検出装置において、前記  $M$  個のメモリは 1 ポートメモリであることを特徴とする。

【0025】

更に、本発明による相関値検出装置は、上記の相関値検出装置において、前記  $L$  チップアキュムレータは整合フィルタであることを特徴とする。

【0026】

更に、本発明による相関値検出装置は、上記の相関値検出装置において、前記  $L$  チップアキュムレータはコリレータバンクであることを特徴とする。

【0027】

本発明による相関値検出装置は、受信信号を受け、前記受信信号に応答して第 1 のデータ及び前記第 1 のデータに続く第 2 のデータを含む第 1 の相関値信号を出力するアキュムレータと、前記第 1 の相関値信号中の前記第 1 のデータを記憶する第 1 のメモリと、前記第 1 の相関値信号中の前記第 2 のデータを記憶する第 2 のメモリと、加算器と、を備える相関値検出装置であって、前記加算器には、前記第 1 のメモリに前記第 1 のデータが書き込まれる第 1 の期間に、前記第 1 のデータが供給され、前記第 2 のメモリに前記第 2 のデータが書き込まれる前記第 1 の期間とは異なる第 2 の期間に、第 2 のデータが供給されるとともに、前記第 1 のメモリに格納された前記第 1 のデータが供給されて、前記加算器の出力を最終相関値信号として出力することを特徴とする。

## 【 0 0 2 8 】

更に、本発明による相関値検出装置は、受信信号に応答して第 1 の相関値信号を出力するアキュムレータと、夫々が前記第 1 の相関値信号を所定データ分毎に記憶する複数のメモリと、前記複数のメモリからの出力若しくは前記アキュムレータからの前記第 1 の相関値信号を入力する加算器と、前記複数のメモリのうちの第 1 のメモリへの前記第 1 の相関値信号の書き込みが行われているときに、前記複数のメモリのうちの前記第 1 のメモリ以外のメモリに書き込まれている前記第 1 の相関値信号を前記加算器に供給する制御部と、を備えることを特徴とする。

## 【 0 0 2 9 】

本発明によるスペクトラム逆拡散装置は、上記の相関値検出装置を備えることを特徴とする。

## 【 0 0 3 0 】

本発明による受信端末は、上記の相関値検出装置を備えることを特徴とする。

## 【 0 0 3 1 】

本発明による送受信端末は、上記の相関値検出装置を備えることを特徴とする。

## 【 0 0 3 2 】

本発明による相関値検出方法は、1 シンボルが  $L \times M$  周期 ( $L$ 、 $M$  は 2 以上の整数) の拡散符号によりスペクトラム拡散された信号の 1 シンボル期間の範囲を、チップレート  $N$  ( $N$  は 1 又は 2 以上の整数) 倍のオーバーサンプリングレートでサンプリングして得たサンプルと前記拡散符号との間の相関値を示す相関値信号を出力する相関値検出方法において、前記サンプルを入力して中間相関値信号を出力するための  $L$  チップアキュムレータが出力する前記中間相関値信号を  $L \times N$  サンプルずつ順番に前記中間相関値信号の  $L \times N$  個のサンプルを記憶するための  $M$  個のメモリに書き込むと同時に加算器の  $M$  個の入力端子に供給し、前記  $M$  個のメモリの各々に書き込まれた  $L \times N$  サンプルの前記中間相関値信号を前記  $M$  個のメモリの各々から  $(M - 1)$  回読み出して前記加算器の前記  $M$  個の入力端子の各々に供給して前記加算器の出力を相関値信号として出力することを特徴とする。

る。

#### 【0033】

また、本発明による相関値検出方法は、上記の相関値検出方法において、前記M個のメモリの各々には書き込まれた $L \times N$ サンプルの前記中間相関値信号を前記M個のメモリの各々から $(M-1)$ 回読み出して前記加算器の前記M個の入力端子の各々に供給するときに、該供給信号を $L \times N$ 個のオーバーサンプリングの周期を単位として循環的に変化する乗算値で乗算することを特徴とする。

#### 【0034】

更に、本発明による相関値検出方法は、上記の相関値検出方法において、前記Lチップアキュムレータが出力する前記中間相関値信号を $L \times N$ サンプルずつ順番に前記中間相関値信号を $L \times N$ サンプルだけ記憶するためのM個のメモリに書き込むと同時に加算器のM個の入力端子に供給するときに、該供給信号を所定の乗算値で乗算することを特徴とする。

#### 【0035】

#### 【発明の実施の形態】

図1は本発明の実施形態による相関値検出装置の構成を示す回路図である。

#### 【0036】

図1を参照すると、本実施形態による相関値検出装置は、Lチップアキュムレータ101、バッファ102-1～102-M、インバータ103-1～103-M、1ポートのRAM104-1～104-M、加算器105及、制御部106、乗算器121-1～121-M及び乗算値発生部122を備える。Lチップアキュムレータ101の出力である中間相関値信号のビット幅、バッファ102-1～102-Mの出力のビット幅、RAM104-1～104-Mの入出力のビット幅は例えばLチップアキュムレータ101の入力ビット数が8でLの値が16であれば12ビットであり、加算器105の出力のビット幅は例えばMの値が16であれば16ビットである。Lチップアキュムレータ101、バッファ102-1～102-M、RAM104-1～104-M、加算器105及び乗算器121-1～121-Mは、チップ周波数のN倍（Nは1又は2以上の整数）の周波数、通常は4倍程度の周波数で動作する。

【0037】

Lチップアキュムレータ101には1チップがN倍にオーバーサンプリングされた伝送信号が例えば8ビットのビット幅で入力される。

【0038】

Lチップアキュムレータ101は従来技術のものと同一であり、上述のように、整合フィルタ又はコリレータバンクである。フィルタの場合の構成例は、図5に示す通りである。

【0039】

Lチップアキュムレータ101の出力は、バッファ102-1~102-Mに供給される。バッファ102-1~102-Mの出力線103-1~103-Mは、各々、RAM104-1~104-Mの各々のデータ入出力端子と乗算器121-1~121-Mの各入力端子に接続される。バッファ102-1~102-Mのアウトプットイネーブルと、RAM104-1~104-Mのアウトプットイネーブルとは、インバータ103-1~103-Mを介して相補的に制御される。

【0040】

乗算器121-1~121-Mに供給される乗算係数 $\alpha_1 \sim \alpha_M$ は、乗算値発生部122が発生し、一般にはL×M周期のサーチコードのパターンに応じてL×Nクロック毎に変化する。

【0041】

乗算器121-1は、バッファ102-1の出力又はRAM104-1の出力のうちアウトプットイネーブルにより選択されたものを入力する。乗算器121-2~121-Mの入力も乗算器121-1と同様である。

【0042】

加算器105は、乗算器121-1~121-Mの出力を加算して得られた相関値信号を最終相関値信号として出力する。

【0043】

制御部106は、RAM104-1~104-Mの書き込み及び読み出しの共通アドレスとして用いられるアドレスADR、バッファ102-1~102-M

のアウトプットイネーブル端子とRAM104-1~104-Mのアウトプットイネーブル端子を制御するためのアウトプットイネーブル信号OE1~OEM、RAM104-1~104-Mの書き込み制御信号であるWR1~WRM及び乗算値発生部122を制御するための制御信号CTLを出力する。

## 【0044】

次に制御部106が出力する信号について図2を参照して説明する。なお、図2において制御信号はハイのときにアクティブであるとしている。

## 【0045】

図2は、 $L \times N$ クロックの周期を1周期として、第1周期から第M周期までを示したものであるが、制御部106は、これらの周期にわたる値を繰り返し出力する。

## 【0046】

アドレスADRの値は、1周期の最初に0となり、続いて、1周期の間に、1~ $L \times N - 1$ の範囲で1ずつ増加する。書き込み制御信号WR1の書き込みパルスは、第1周期の毎クロックに発生し、書き込み制御信号WR1は他の周期では継続的に非アクティブとなる。書き込み制御信号WR1~WRMは、1周期ずつずれながら、アクティブ又は非アクティブとなる。アウトプットイネーブル信号OE1は、第1周期の間継続的にアクティブとなり、他の周期では継続的に非アクティブとなる。アウトプットイネーブル信号OE1~OEMは、1周期ずつずれながら、アクティブ又は非アクティブとなる。制御信号CTLは、第1周期の第1クロックでアクティブとなる。

## 【0047】

従って、例えば、第1周期では、Lチップアキュムレータ101の出力は、信号線107-1に現れ、RAM104-1のデータ端子及び乗算器121-1に供給される。即ち、第1の周期にLチップアキュムレータ101から出力される $L \times N$ 個のサンプルは乗算器121-1に供給されると共にRAM104-1に書き込まれる。第2周期では、第1周期にRAM104-1に書き込まれたデータが信号線107-1に現れ、乗算器121-1の入力端子に供給される。第3周期、第4周期も第2周期と同様である。第1周期から第M周期までの全体で見

ると、第1周期にLチップアキュムレータ101から出力された $L \times N$ 個のサンプルが乗算器121-1にM回繰り返して入力される。

【0048】

同様に、乗算器121-2には、第2周期の $L \times N$ 個のサンプルがM回繰り返し入力され、乗算器121-3には、第3周期の $L \times N$ 個のサンプルがM回繰り返し入力され、乗算器121-Mには、第M周期の $L \times N$ 個のサンプルがM回繰り返し入力される。

【0049】

乗算値発生部122は乗算値 $\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_M$ の値を、 $L \times M$ 周期のサーチコードのパターンに応じて、各周期毎にLチップアキュムレータ101から出力された $L \times N$ 個のサンプルに関して、その所定番目の繰り返しの時に-1にして、それ以外の繰り返しの時には+1とする。従って、乗算値 $\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_M$ が-1となるタイミングは1周期ずつずれる。

【0050】

より詳しく説明すると、第1周期では、

$$\alpha_1 = \beta_1, \alpha_2 = \beta_M, \alpha_3 = \beta_{M-1}, \dots, \alpha_M = \beta_2$$

となり、第2周期では、

$$\alpha_1 = \beta_2, \alpha_2 = \beta_1, \alpha_3 = \beta_M, \dots, \alpha_M = \beta_3$$

となり、第3周期では、

$$\alpha_1 = \beta_3, \alpha_2 = \beta_2, \alpha_3 = \beta_1, \dots, \alpha_M = \beta_M$$

となり、第M周期では、

$$\alpha_1 = \beta_M, \alpha_2 = \beta_3, \alpha_3 = \beta_2, \dots, \alpha_M = \beta_1$$

となる。

【0051】

図3は、 $M=4$ とした場合の、加算器105の入力端子X1~X4に供給される信号を表すタイミング図である。また、図3においては、前記の繰り返しの所定番目を3番目のみとし、所定番目の信号を、反転を意味する上線を付して表している。

【0052】



周期P4から定常動作に入るが、周期P4では、周期P1、P2、P3及びP4の各サンプルが加算器105に供給され、周期P5では、周期P2、P3、P4及びP5の各サンプルが加算器105に供給され、周期P6では、周期P3、P4、P5及びP6の各サンプルが加算器105に供給され、以下の周期では、同様の信号が加算器105に供給される。従って、図8に示す従来の相関値検出装置のシフトレジスタ902が加算器903に供給するのと同じの信号が、加算器105に供給されることがわかる。

## 【0053】

また、1つのサンプルに注目したとき、反転されるのは $(3-1) \times L \times N$ クロックだけ遅れて加算器105に供給されるときである。従って、mの値を1からMの範囲の任意の整数として、一般に $m \times L \times N$ クロックだけ遅れてサンプルを加算器105に供給するときに反転させることができる。

## 【0054】

上記の相関値検出装置は、例えば、ゲートアレイ、セルベースIC又はPLD (Programmable Logic Device)により実装することができる。

## 【0055】

図4は本実施形態による相関値検出装置を含むスペクトラム逆拡散装置の構成を示すブロック図である。なお、図4のスペクトラム拡散装置は、原理を説明するための1例であり、スペクトラム逆拡散装置は図4のものに限定されるのではない。

## 【0056】

図4を参照すると、本実施形態によるスペクトラム逆拡散装置は、入力する伝送信号を1チップ周波数のN倍のサンプリングレートで8ビットのサンプル信号にA/D変換するA/D変換器301、サンプル信号より相関値信号を生成する上記の相関値検出装置302、相関値信号のピークタイミングを検出してそのピークタイミング検出信号を同期信号Bとして出力するピークタイミング検出回路303、同期信号Bを基に、安定した同期信号Cを出力するフライホイール回路304、同期信号Cを位相基準として逆拡散信号を生成する逆拡散信号生成回路305及びサンプル信号を逆拡散信号を用いて逆拡散して復号信号を出力する逆拡

散メイン回路 3 0 6 を備える。

【 0 0 5 7 】

【発明の効果】

以上説明したように本発明によれば、Lチップアキュムレータ以外の部分で面積と消費電力が大きいフリップフロップや2ポートRAMの使用を避け、面積と消費電力が小さな1ポートRAMを用いているため、小さい回路規模と小さい消費電力を実現することができる。例えば、ビット区間当たりのチップ数Lの値を64、ビット区間数Mの値を4、オーバーサンプリング数Nの値を4として、NEC製のゲートアレイであるCMOS-9HDライブラリを用いた場合、セル数を従来の60%、消費電力を従来の22%とすることができた。従って、本発明による相関値検出装置を送受信端末に組み込むことにより、送受信端末は、小型化され、バッテリー駆動時にも長時間動作が可能なものとなる。

【図面の簡単な説明】

【図1】

本発明の実施形態による相関値検出装置の構成を示すブロック図である。

【図2】

図1に示す制御部106が出力する信号のタイミング図である。

【図3】

図1に示す加算器105の入力信号を示すタイミング図である。

【図4】

本発明の実施形態による相関値検出装置を用いたスペクトラム逆拡散装置の1例の構成を示すブロック図である。

【図5】

本発明の実施形態及び従来例による整合フィルタの構成例を示す回路図である。

【図6】

ARIBが提案するW-CDMA方式のパーティチャネルのフォーマット図である。

【図7】

相関値検出装置の出力を示すグラフである。

【図 8】

従来例による相関値検出装置の構成を示すブロック図である。

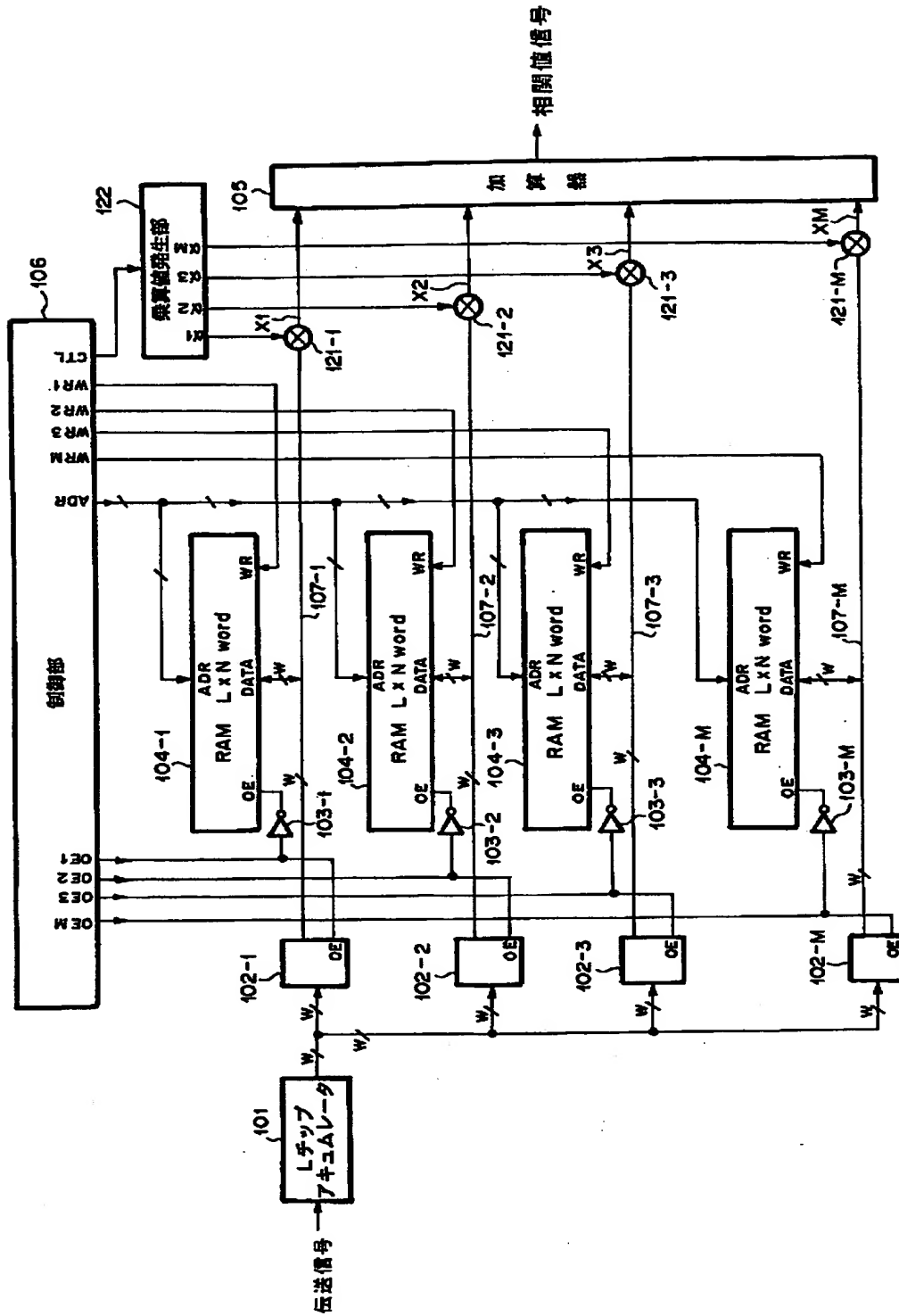
【符号の説明】

- 1 0 1 Lチップアキュムレータ
- 1 0 2 - 1 ~ 1 0 2 - M バッファ
- 1 0 3 - 1 ~ 1 0 3 - M インバータ
- 1 0 4 - 1 ~ 1 0 4 - M RAM
- 1 0 5 加算器
- 1 0 6 制御部
- 1 2 1 - 1 ~ 1 2 1 - M 乗算器
- 1 2 2 乗算値発生部

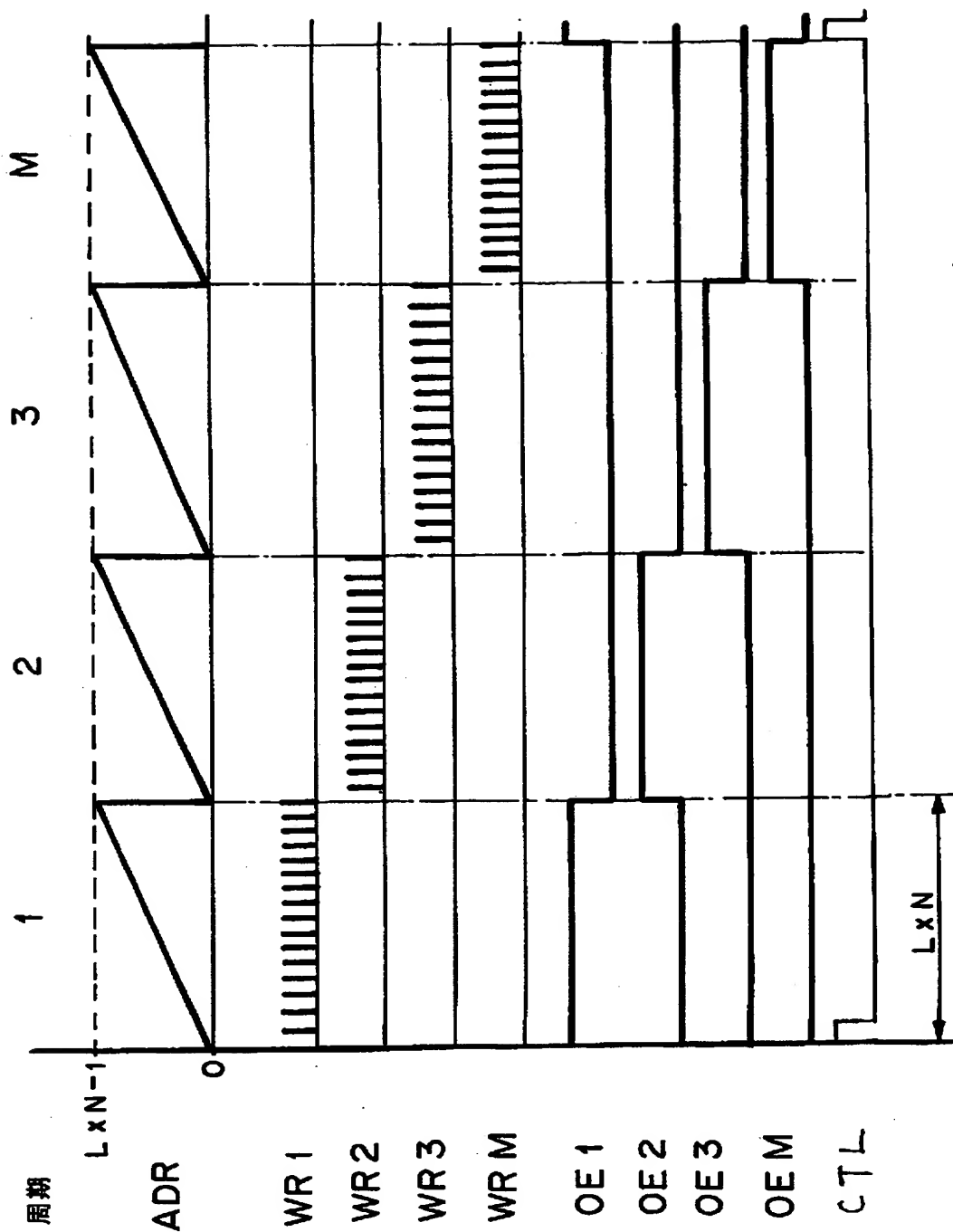
【書類名】

図面

【図 1】



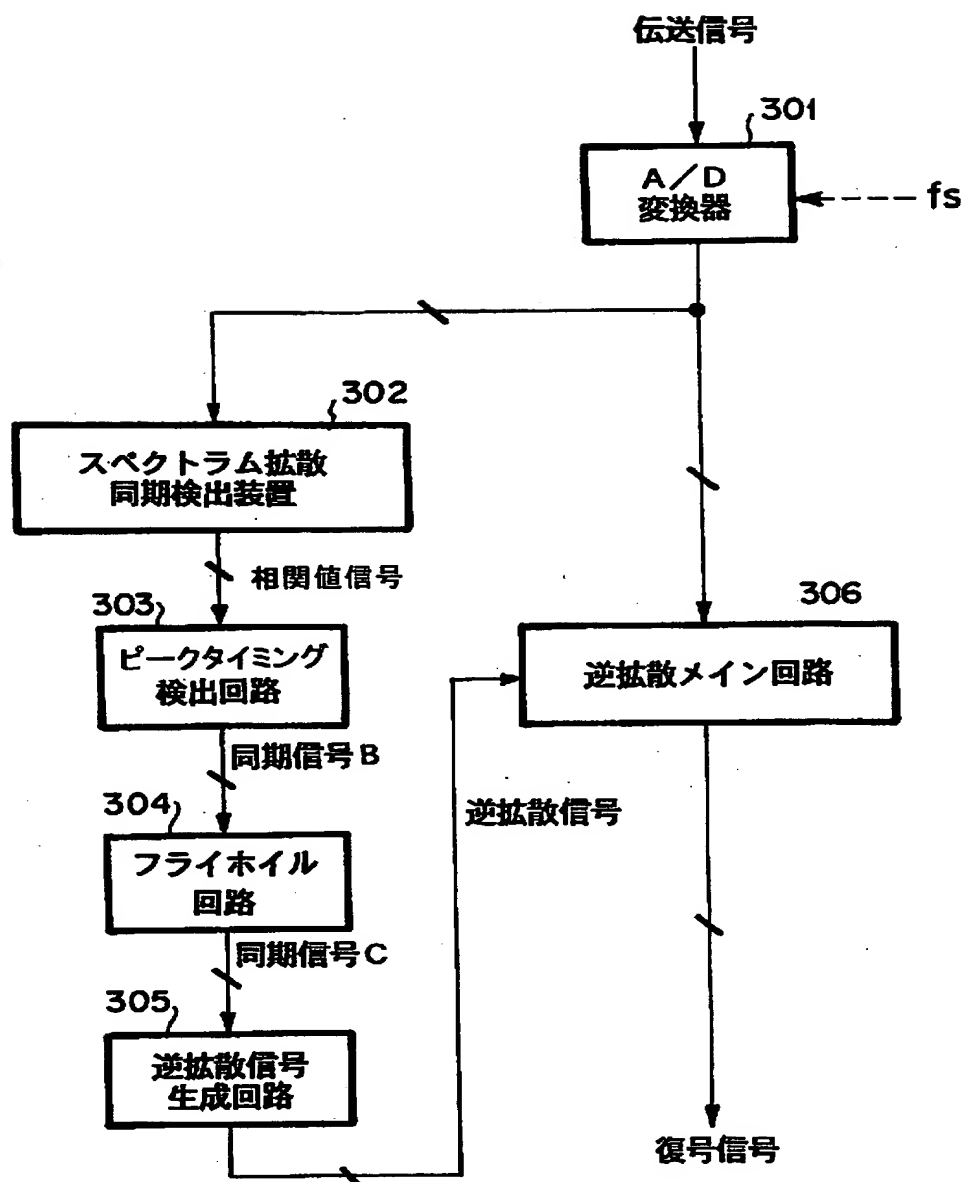
【図 2】



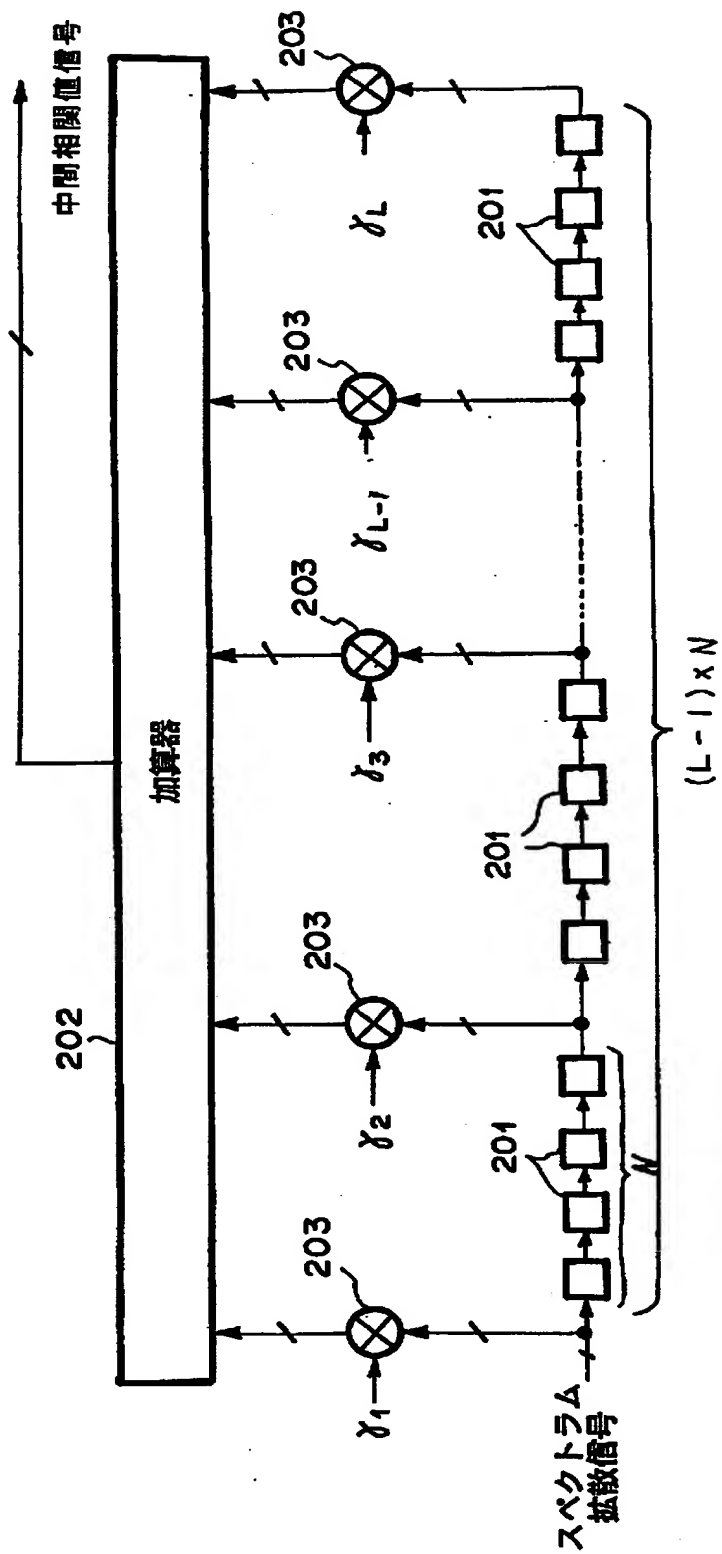
【図 3】

周期	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12
X1(107-1)	1	1	$\overline{1}$	1	5	5	$\overline{5}$	5	9	9	$\overline{9}$	9
X2(107-2)		2	2	$\overline{2}$	2	6	6	$\overline{6}$	6	10	10	$\overline{10}$
X3(107-3)			3	3	$\overline{3}$	3	7	7	$\overline{7}$	7	11	11
X4(107-4)				4	4	$\overline{4}$	4	8	8	$\overline{8}$	8	12

【図 4】

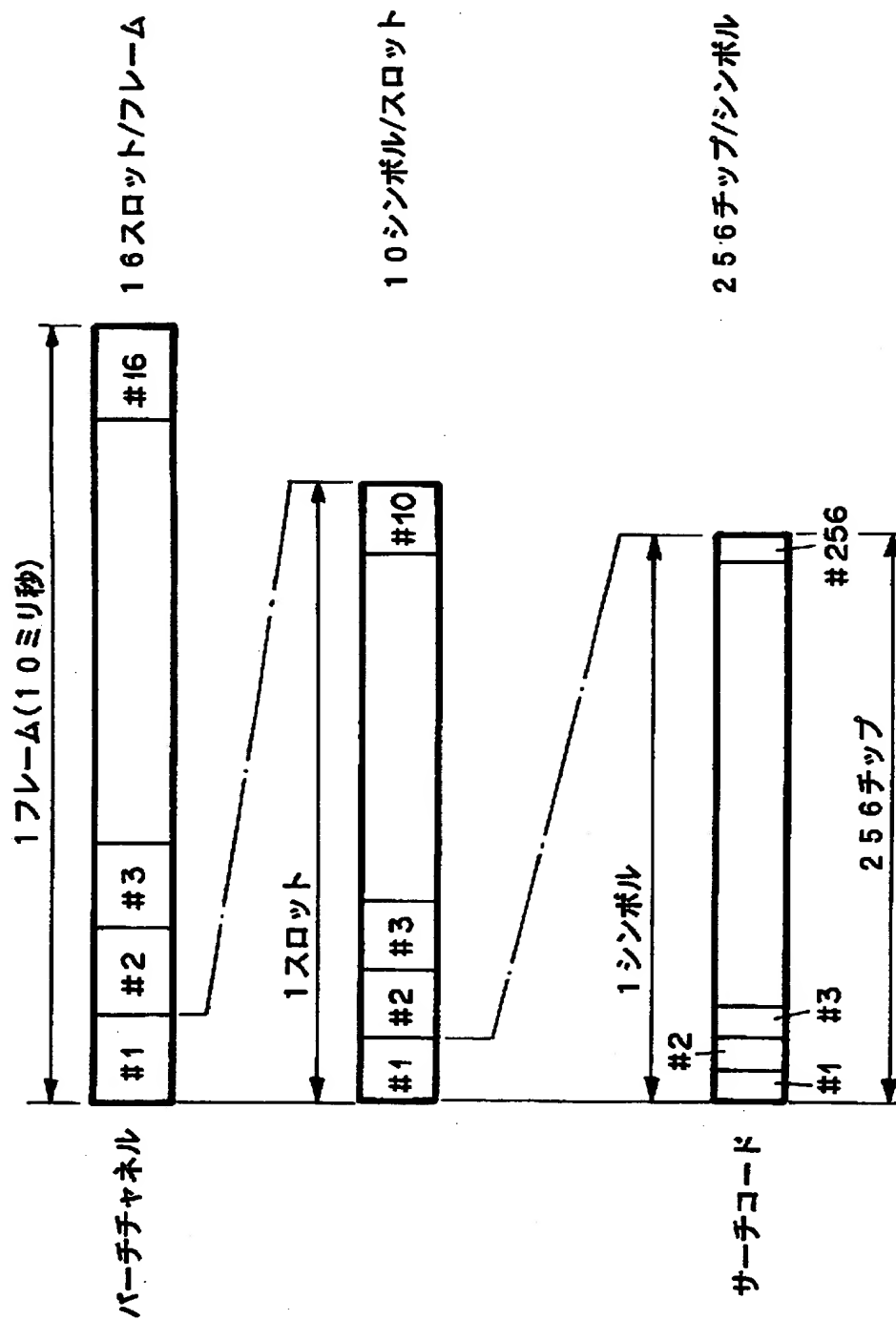


【図 5】

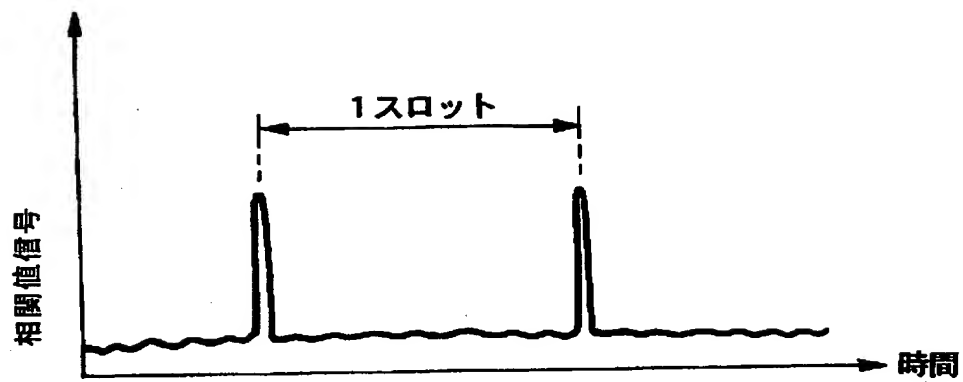




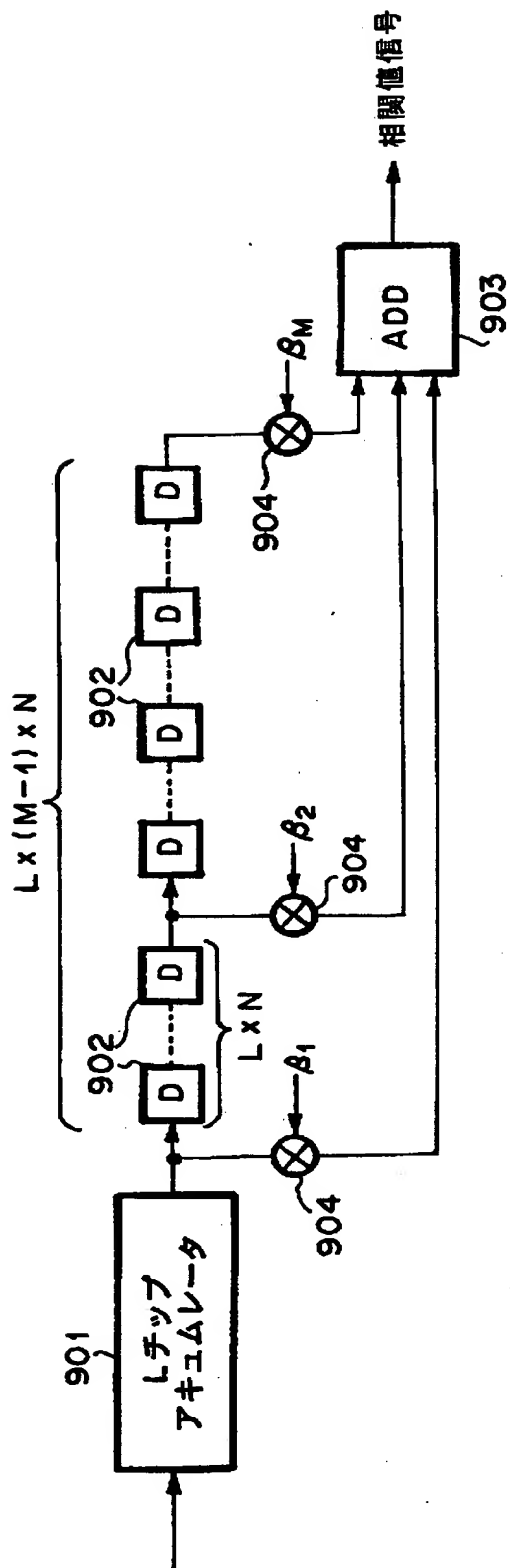
【図 6】



【図 7】



【図 8】



【書類名】            要約書

【要約】

【課題】    回路規模が小さく消費電力が少ない相関値検出装置を提供する。

【解決手段】    1 シンボルを  $L \times M$  周期の拡散符号によりスペクトラム拡散された信号の 1 シンボル期間を  $N$  倍でオーバーサンプリングして得たサンプルと拡散符号との相関値を示す相関値信号を出力する相関値検出装置。  $L$  チップアキュムレータが出力する中間相関値信号を  $L \times N$  サンプル記憶する  $M$  個のメモリ、  $L$  チップアキュムレータが出力する中間相関値信号又は各メモリから読み出された中間相関値信号を入力する加算器、  $L$  チップアキュムレータが出力する中間相関値信号を  $L \times N$  サンプルずつ順番に  $M$  個のメモリに書き込むと同時に加算器の  $M$  個の入力端子に供給し、  $M$  個のメモリの各々には書き込まれた  $L \times N$  サンプルの中間相関値信号を各メモリの各々から読み出し加算器に供給する制御手段を備える。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社